

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-337654

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09F 9/30
G09G 3/20

(21)Application number : 2000-154980

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.05.2000

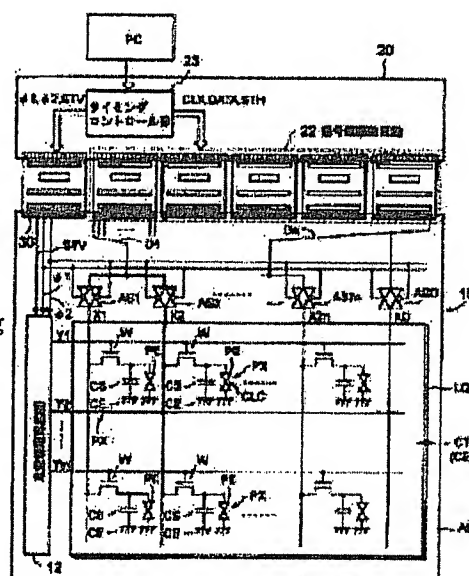
(72)Inventor : SAKURAI YOSUKE

(54) FLAT DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve such an inferior display such as an unevenness in a display without requiring a complicated configuration.

SOLUTION: A flat display device consists of the insulative panel 10, the plural display pixel PX installed in a matrix shape on the panel 10, the plural signal lines X1-X2n which are installed on one side of each column of the display pixel and almost in parallel each other, the plural switching element W which is connected between each of corresponding signal line and corresponding display pixel and conducted to concurrently select the display pixel in each row, the plural signal distribution portion AS1-ASn which are installed to classify plural signal lines to plural blocks consisting of each of 2 adjacent signal lines and distribute the pixel picture signal on each 1/2 scanning period basis to the corresponding signal line in the corresponding block in a selecting period of the display pixel in each row, and the dummy signal line XD installed on the other side of the display pixel in column which is an end not wedged between the 2 signal lines. This device also consists of the dummy electric potential control portion ASD to impress the dummy pixel picture signal to dummy signal line XD during the 1/2 horizontal scanning period.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-337654
(P2001-337654A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl.⁷ 識別記号

G 0 9 G	3/36	
G 0 2 F	1/133	5 5 0
G 0 9 F	9/30	3 3 8
G 0 9 G	3/20	6 2 3
		6 8 0

F I テーマコード* (参考)

G 0 9 G	3/36		2 H 0 9 3
G 0 2 F	1/133	5 5 0	5 C 0 0 6
G 0 9 F	9/30	3 3 8	5 C 0 8 0
G 0 9 G	3/20	6 2 3 W	5 C 0 9 4
		6 8 0 F	

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願2000-154980 (P2000-154980)

(22) 出願日 平成12年5月25日 (2000.5.25)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 櫻井 洋介

埼玉県深谷市幡經町1丁目9番2号 株式
会社東芝深谷工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

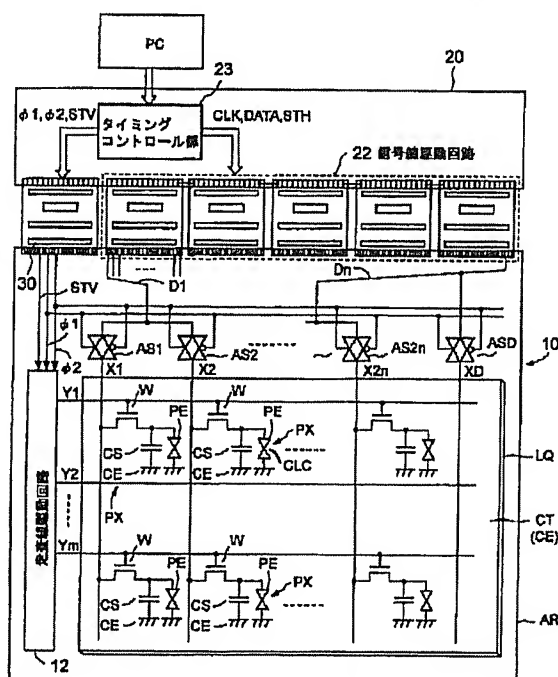
最終頁に続く

(54) 【発明の名称】 平面表示装置

(57) 【要約】

【課題】 複雑な構成を必要とせずに表示ムラの表示不良を改善する。

【解決手段】 平面表示装置は絶縁性パネル10と、パネル10上にマトリクス状に配置される複数の表示画素PXと、各列の表示画素の一方側に配置され互いに略平行な複数の信号線X1~X2nと、各々対応信号線および対応表示画素間に接続され各行の表示画素を同時に選択するよう導通する複数のスイッチング素子Wと、各々2本の隣接信号線で構成される複数のブロックに複数の信号線を区分するように配置され各行の表示画素の選択期間において対応ブロックの隣接信号線に1/2水平走査期間ずつ画素映像信号を振分ける複数の信号振分部AS1~ASnと、2本の信号線で挟まれない端部となる列の表示画素の他方側に配置されるダミー信号線XDとを備える。この装置はさらにダミー信号線XDにダミー画素映像信号を1/2水平走査期間だけ印加するダミー電位制御部ASDを備える。



【特許請求の範囲】

【請求項 1】 絶縁性パネルと、この絶縁性パネル上にマトリクス状に配置される複数の表示画素と、各列の表示画素の一方側に配置され互いに略平行な複数の信号線と、各々対応信号線および対応表示画素間に接続され各行の表示画素を同時に選択するよう導通する複数のスイッチング素子と、各々所定数の隣接信号線で構成される複数のブロックに前記複数の信号線を区分するように配置され各行の表示画素の選択期間において対応ブロックの隣接信号線に所定時間ずつ画素映像信号を振分ける複数の信号振分部と、前記複数の信号線のうちの2本によって挟まれない端部となる列の表示画素の他方側に配置されるダミー信号線とを備え、さらに前記ダミー信号線にダミー画素映像信号を前記所定時間だけ印加するダミー電位制御部を備えることを特徴とする平面表示装置。

【請求項 2】 前記絶縁性パネルが第1および第2透明基板およびこれら透明基板間に保持される液晶層で構成され、各表示画素が前記第1透明基板上においてマトリクス状に配置される複数の画素電極、前記第2透明基板上において前記複数の画素電極に対向して配置される共通電極、およびこれら画素電極および共通電極間に対応する液晶層の一部で構成され、画素映像信号が行方向において隣合う表示画素の画素電極に前記共通電極の電位を基準として互いに極性反転して印加される場合に、前記ダミー電位制御部はダミー画素映像信号を前記ダミー信号線に隣合う信号線のさらに隣に配置された信号線に印加される画素映像信号に一致させるよう構成されることを特徴とする請求項 1 に記載の平面表示装置。

【請求項 3】 複数のカラー表示画素が各々行方向において隣接する所定数の表示画素により構成される場合に、前記ダミー電位制御部はダミー画素映像信号をダミー信号線に隣合う信号線を含むカラー表示画素の隣に配置されたカラー表示画素の対応信号線に印加される画素映像信号に一致させるよう構成されることを特徴とする請求項 2 に記載の平面表示装置。

【請求項 4】 前記複数の信号線およびダミー信号線はこれらに挟まれた列の表示画素に部分的に重なるよう積層配置されることを特徴とする請求項 1 に記載の平面表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の表示画素がマトリクス状に配置されこれら表示画素の列に沿って形成される複数の信号線を介して駆動される平面表示装置に関し、例えば奇数列信号線および偶数列信号線に画素映像信号を所定時間ずつ振分ける平面表示装置に関する。

【0002】

【従来の技術】 液晶表示装置に代表される平面表示装置は、軽量かつ低消費電力という特性からパーソナルコン

ピュータや携帯情報端末などの機器で使用されている。典型的な液晶表示装置は、液晶パネルおよびこの液晶パネルを制御する制御部により構成される。液晶パネルはマトリクス状に配置される複数の表示画素、複数の表示画素の行に沿って形成される複数の走査線、複数の表示画素の列に沿って形成される複数の信号線、これら信号線および走査線の交差位置にそれぞれ隣接して配置され各々対応走査線からの走査信号にตอบสนองして対応信号線からの画素映像信号を対応表示画素に供給する複数の薄膜トランジスタ(TFT)を有する。制御部はこれら走査線をそれぞれ駆動する走査線駆動回路、これら信号線をそれぞれ駆動する信号線駆動回路、これら走査線駆動回路および信号線駆動回路の動作を制御する表示タイミングコントロール部を含む。各表示画素は対応走査線を介して駆動される薄膜トランジスタおよびこの薄膜トランジスタを介して対応信号線に接続される画素電極を含み、画素映像信号に対応する信号線の電位がこの表示画素の光透過率を制御するために薄膜トランジスタを介して画素電極に設定される。信号線駆動回路は例えば液晶パネルの一端側に固定される複数のTAB-ICで構成される。一般に、これらTAB-ICは複数の信号線にそれぞれ接続される複数の出力端を持ち、各水平走査期間においてこれら出力端から順次画素映像信号を出力するように構成される。しかしながら、液晶パネルを高解像度化するために画素サイズを低減して画素数を増大するような場合には、パネル寸法の制約の下でTAB-ICの出力端数を増大しなくてはならず、TAB-ICの全出力端と信号線との接続ピッチも微細化され、これらの接続が困難な状況となってくる。

【0003】 従来、このような問題を解消するためにTAB-ICの各出力を対応アナログスイッチを介して奇数列信号線および偶数列信号線に振分けて駆動する時分割駆動技術が知られている。この技術では、TAB-ICが1水平走査期間の前半でアナログスイッチ群を介して奇数列信号線に順次画素映像信号を供給し、この水平走査期間の後半でアナログスイッチ群を介して偶数列信号線に順次画素映像信号を供給する。このように画素映像信号が振分けられる場合、全TAB-ICの合計出力端数を信号線数の1/2に低減することができる。

【0004】

【発明が解決しようとする課題】 しかし、この時分割駆動技術では、TAB-IC出力にアナログスイッチによって電気的に接続されない信号線がフローティング状態となる。各信号線はフローティング状態においてこの信号線に狭い間隔で隣接して容量結合する信号線の電位変化に影響されやすく、このため表示ムラが発生する場合がある。

【0005】 本発明の目的は、このような問題に鑑み、複雑な構成を必要とせずに表示ムラ等の表示不良を改善できる平面表示装置を提供することにある。

【0006】

【課題を解決するための手段】本発明によれば、絶縁性パネルと、この絶縁性パネル上にマトリクス状に配置される複数の表示画素と、各列の表示画素の一方側に配置され互いに略平行な複数の信号線と、各々対応信号線および対応表示画素間に接続され各行の表示画素を同時に選択するよう導通する複数のスイッチング素子と、各々所定数の隣接信号線で構成される複数のブロックに複数の信号線を区分するように配置され各行の表示画素の選択期間において対応ブロックの隣接信号線に所定時間ずつ画素映像信号を振分ける複数の信号振分部と、複数の信号線のうちの2本によって挟まれない端部となる列の表示画素の他方側に配置されるダミー信号線とを備え、さらにダミー信号線にダミー画素映像信号を所定時間だけ印加するダミー電位制御部を備える平面表示装置が提供される。

【0007】この平面表示装置では、ダミー電位制御部がダミー信号線にダミー画素映像信号を所定時間だけ印加する。これにより、ダミー信号線の隣に配置された表示画素が他の表示画素と電気的に同様な環境に設定できる。従って、端部表示画素で発生する表示ムラを改善することが可能である。

【0008】

【発明の実施の形態】以下、本発明の一実施形態に係る平面表示装置について添付図面を参照して説明する。図1はこの平面表示装置の構造を概略的に示す。この平面表示装置は、液晶層LQがアレイ基板ARおよび対向基板CT間に保持される構造の液晶パネル10およびこの液晶パネル10を制御する制御回路基板20を備える。液晶パネル10はマトリクス状に配置される複数の表示画素PXで構成される矩形表示部を有する。

【0009】図2は図1に示すアレイ基板ARの一部をより詳細に示す。アレイ基板ARはマトリクス状に配置される $m \times 2n$ 個の画素電極PE、これら画素電極PEの行に沿って形成される m 本の走査線Y1~Ym、これら画素電極PEの列に沿って形成される $2n$ 本の信号線X1~X2n、これら信号線X1~X2nおよび走査線Y1~Ymの交差位置近傍にそれぞれ配置され各々対応走査線からの走査信号に応答して対応信号線の電位を対応画素電極PEに供給するスイッチング素子を構成する複数のポリシリコン薄膜トランジスタWを有する。対向基板CTは複数の画素電極PEに対向する単一の共通電極CEを有する。また、アレイ基板ARは各々対応行の画素電極PEを横切るように絶縁して形成され共通電極CEの電位に設定される m 本の補助容量線を有する。各画素電極PEは補助容量線と協力して補助容量Csを構成し、共通電極CEと協力して液晶容量CLCを構成する。各表示画素PXは薄膜トランジスタW、画素電極PE、共通電極CE、液晶容量、および補助容量Csを用いて構成され、薄膜トランジスタWを介して画素電極PEに設

定される電位と共通電極CEに設定される電位との電位差に対応する光透過率に設定される。

【0010】液晶パネル10は、さらにアレイ基板ARの一端に沿って表示画素PXのマトリクスアレイの外側領域に配置される走査線駆動回路12を有する。この走査線駆動回路12は走査線Y1~Ymに接続され、これら走査線Y1~Ymを順次駆動する。ここで、走査線駆動回路12はスイッチング素子を構成する薄膜トランジスタWと同様にアレイ基板AR上に一体的に形成される複数のポリシリコン薄膜トランジスタで構成される。また、平面表示装置はアレイ基板ARの一端および制御回路基板20の一端にそれぞれ固定される複数のTAB-IC30で構成される信号線駆動回路22を有する。信号線駆動回路22は奇数列信号線X1, X3, ..., X2n-1および偶数列信号線X2, X4, ..., X2n用に画素映像信号を出力端D1~Dnから出力する。これら出力端D1~Dnは表示画素PXのマトリクスアレイの外側領域に配置される n 対の第1および第2アナログスイッチAS1, AS2; AS3, AS4; ...; AS2n-1, AS2nにそれぞれ接続され、第1アナログスイッチAS1, AS3, ..., AS2n-1はそれぞれ奇数列信号線X1, X3, ..., X2n-1に接続され、第2アナログスイッチAS2, AS4, ..., AS2nはそれぞれ偶数列信号線X2, X4, ..., X2nに接続される。

【0011】制御回路基板20は走査線駆動回路12および信号線駆動回路22のタイミング制御を行うタイミングコントロール部23を含む。このタイミングコントロール部23は外部コンピュータPCから供給される映像信号および同期信号を受取り、水平スタートパルスSTH、水平クロック信号CLK、垂直スタートパルスSTV、垂直クロック信号 $\phi 1$, $\phi 2$ および映像信号DATAを従来と同様に発生する。ここで、画素映像信号DATAは行方向において隣合う表示画素PXの画素電極PEに印加するために共通電極CEの電位を基準として互いに極性反転される信号であり、垂直スタートパルスSTVは各フレーム毎に発生されるパルスであり、垂直クロック信号 $\phi 1$, $\phi 2$ は1水平走査期間に対応する垂直クロックサイクルで発生される相補的なクロック信号であり、水平スタートパルスSTHは1/2水平走査期間毎に発生されるパルスであり、水平クロック信号CLKは1/2n水平走査期間に対応する水平クロックサイクルで発生されるクロック信号である。映像信号DATA、水平スタートパルスSTH、および水平クロック信号CLKは信号線駆動回路22に供給される。垂直スタートパルスSTVおよび垂直クロック信号 $\phi 1$, $\phi 2$ はTAB-ICの空き配線30を利用して走査線駆動回路12に供給される。また、垂直クロック信号 $\phi 1$ はスイッチ制御信号として第1アナログスイッチAS1, AS3, ..., AS2n-1の非反転クロック入力端に供給されると共に、第2アナログスイッチAS2, AS4, ..., AS2nの反転クロック入力端に供給される。垂直クロック信号 $\phi 2$ は

スイッチ制御信号として第2アナログスイッチAS2, AS4, ..., AS2nの非反転クロック入力端に供給されると共に、第1アナログスイッチAS1, AS3, ..., AS2n-1の反転クロック入力端に供給される。

【0012】信号線駆動回路22は例えば水平スタートパルスSTHを水平クロック信号CLKに同期して順次シフトするシフトレジスタ、映像信号DATAをこのシフトレジスタの並列出力端から得られる出力信号にตอบสนองしてそれぞれサンプリングするn個のアナログスイッチ、およびこれらアナログスイッチによりサンプリングされた電圧信号を画素映像信号として出力端D1~Dnから出力するn個の出力バッファを含む。

【0013】走査線駆動回路12は図2に示すようにシフトレジスタSRおよび出力回路BFを有する。シフトレジスタSRは直列に接続されたm個のフリップフロップF1~Fmで構成され、垂直スタートパルスSTVをおよび垂直クロック信号φ、φバーに同期して一方向にシフトし、順次走査信号としてこれらフリップフロップF1~Fmの出力端から出力する。出力回路BFはフリップフロップF1~Fmの出力端から得られる走査信号を走査線Y1~Ymにそれぞれ出力するm個の出力バッファOB1~OBmで構成される。走査線Y1~Ymは図3に示すように1水平走査期間毎に順次走査信号を受取り、表示画素PXの行を選択する。各行の表示画素PXにおいて、画素電極PEは走査信号にตอบสนองして導通する対応薄膜トランジスタWを介して信号線X1からX2nに電気的に接続される。図3に示すように、垂直クロック信号φ1、φ2は1/2水平走査期間の位相差を持つクロックパルスである。このため、第1アナログスイッチAS1, AS3, ..., AS2n-1および第2アナログスイッチAS2, AS4, ..., AS2nは1/2水平走査期間ずつ交互に導通する。これにより、偶数列信号線X2, X4, ..., X2nが1水平走査期間の前半において順次画素映像信号に対応する電位に設定され、奇数列信号線X1, X3, ..., X2n-1は1水平走査期間の後半において順次画素映像信号に対応する電位に設定される。すなわち、各行において、奇数列表示画素PXの画素電極PEは1水平走査期間の前半で画素映像信号に応じた電位に設定され、偶数列表示画素PXの画素電極PEは1水平走査期間の後半で画素映像信号に応じた電位に設定される。

【0014】この平面表示装置では、信号線X1~X2nが遮光層として機能するよう隣接する画素電極PEのそれぞれと一部積層して表示画素PXの列の左側に略平行に配置される。信号線X2nは端部表示画素PXの列の左側を透過する光を遮ることになるが、この端部表示画素PXの列の右側を透過する光は信号線が配されないため遮光できない。このため、ダミー信号線XDがさらにこれら信号線X1~X2nと同様に遮光層を構成するよう端部表示画素PXの列の右側に配置される。これにより、表示画素PXの列の全てがX1~信号線X2nおよびダミ

ー信号線XDのうちの2本に挟まれた状態になる。このダミー信号線XDは、このダミー信号線XDの電位を制御するダミー電位制御部に接続される。このダミー電位制御部は画素映像信号が行方向において隣合う表示画素PXの画素電極PEに共通電極CEの電位を基準として互いに極性反転して印加される場合にダミー画素映像信号をダミー信号線XDに隣合う信号線X2nのさらに隣に配置された信号線X2n-1に印加される画素映像信号に一致させるよう構成される。ダミー電位制御部は例えばアナログスイッチAS1~AS2nと同様な構造を持ち信号線駆動回路22の出力端Dnおよびダミー信号線XD間に接続されるアナログスイッチASDである。この場合、垂直クロック信号φ1がスイッチ制御信号としてアナログスイッチASDの非反転クロック入力端に供給され、垂直クロック信号φ2がスイッチ制御信号としてアナログスイッチASDの反転クロック入力端に供給される。

【0015】ここで、平面表示装置の動作について図4を参照して説明する。走査信号が例えば第1行目の表示画素PXを選択するために走査線Y1に供給されると、この走査線Y1に接続された薄膜トランジスタWが全て導通し、走査線Y2~Ymに接続された薄膜トランジスタWが全て非導通となる。第1行目の表示画素PXは1水平走査期間(1H)にわたって選択される。第1アナログスイッチAS1, AS3, ..., AS2n-1はスイッチ制御信号φ1(垂直クロック信号)の立上がりに対応して導通すると、奇数列信号線X1, X3, ..., X2n-1の電位が信号線駆動回路22の出力端D1~Dnから出力される画素映像信号に応じて変化する。例えば奇数列信号線X2n-1は図4に示すように初期電位V0から電位V1に向かって上昇する。スイッチ制御信号φ1は1/2Hのサンプリング期間Tw1だけ高レベルに維持され、このサンプリング期間Tw1の経過後に立ち下がる。第1アナログスイッチAS1, AS3, ..., AS2n-1はスイッチ制御信号φ1の立ち下がりにตอบสนองして非導通となる。これにより、奇数列信号線X1, X3, ..., X2n-1の電位がホールドされ、奇数列薄膜トランジスタWを介して画素電極PEの電位を設定する。

【0016】他方、第2アナログスイッチAS1, AS3, ..., AS2n-1はスイッチ制御信号φ2(垂直クロック信号)の立上がりに対応して導通すると、偶数列信号線X2, X4, ..., X2nの電位が信号線駆動回路22の出力端D1~Dnから出力される画素映像信号に応じて変化する。例えば偶数列信号線X2nの電位は図4に示すように初期電位V2から電位V0に向かって下降する。スイッチ制御信号φ2は1/2Hのサンプリング期間Tw2だけ高レベルに維持され、このサンプリング期間Tw2の経過後に立ち下がる。第2アナログスイッチAS2, AS4, ..., AS2nはスイッチ制御信号φ2の立ち下がりにตอบสนองして非導通となる。これにより、偶数列信号線X2, X4,

…X2nの電位がホールドされ、偶数列薄膜トランジスタWを介して画素電極PEの電位を設定する。

【0017】各行の薄膜トランジスタWは走査信号が1水平走査期間後に立ち下がることにより非導通となる。従って、画素電極PEの電位は走査信号が次のフレームで再び立上がるまでホールドされる。

【0018】ここで、奇数列信号線X2n-1は図5および図6においてCfで示すように偶数列信号線X2nに容量結合した画素電極PEに薄膜トランジスタWを介して電気的に接続されているため、サンプリング期間TW1においてフローティング状態になると、偶数列信号線X2nの電位変化に伴って図3に示すようにV1-ΔV1だけ電位変動する。また、偶数列信号線X2nは図5および図6においてCfで示すようにダミー信号線XDに容量結合した画素電極PEに薄膜トランジスタWを介して電気的に接続されているため、サンプリング期間TW2においてフローティング状態になると、ダミー信号線XDの電位変化に伴って図3に示すようにV1-ΔV1だけ電位変動する。ちなみに、従来のようにダミー信号線XDの電位が固定される場合には、信号線X2nの電位変動が生じないため、右端部表示画素PXの列だけ他の表示画素PXと電気的に異なる環境となる。

【0019】本実施形態の平面表示装置では、アナログスイッチASDがダミー信号線XDに信号線X2n-1に印加される画素映像信号に一致するダミー画素映像信号を1/2Hのサンプリング期間だけ印加する。これにより、ダミー信号線XDの隣に配置された表示画素PXの列が他の表示画素PXの列と電気的に同様な環境に設定される。従って、複雑な構成を必要とせずに右端部表示画素PXの列だけやや黒くなるという表示ムラ等の表示不良を無くすることができる。

【0020】尚、複数のカラー表示画素CPXが各々行方向において隣接する赤(R)、緑(G)、青(B)という3個の表示画素PXにより構成される場合には、ダミー電位制御部がダミー画素映像信号をダミー信号線XDに隣合う信号線X2nを含むカラー表示画素CPXの隣に配置されたカラー表示画素CPXの対応信号線X2n-5に供給される画素映像信号に一致させるよう構成される。具体的には、図5に示すように、アナログスイッチASDが信号線駆動回路22の出力端Dn-2およびダミー信号線XD間に接続され、アナログスイッチASn-2に連動して導通するように構成される。これにより、特に色ラスタ表示時に良好な画像表示を得ることができる。

【0021】また、上述の実施形態では、図6に示すように、薄膜トランジスタWが信号線X1~2nの各々の右側に配置されるが、薄膜トランジスタWが信号線X1~2nの各々の左側に配置される場合には、左端部の表示画素PXの列だけ黒くなる表示ムラが発生する。この場合

に、ダミー信号線XDを左端部の表示画素PXの左側に配置して、アナログスイッチASDをこのダミー信号線XDに接続すればよい。

【0022】また、上述の実施形態の平面表示装置は、信号線駆動回路22の各出力端から得られる画素映像信号を2本の信号線に振分ける構成であるが、この画素映像信号を2本より多い信号線に振分けるように構成されてもよい。

【0023】また、図1に示す走査線駆動回路12および信号線駆動回路22は、スイッチング素子である薄膜トランジスタWと同一の製造プロセスでアレイ基板AR上に形成することができるので、製造工程を別途設ける必要はない。

【0024】

【発明の効果】本発明によれば、複雑な構成を必要とせずに表示ムラ等の表示不良を改善できる平面表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る平面表示装置の構造を概略的に示す平面図である。

【図2】図1に示すアレイ基板の一部をより詳細に示す平面図である。

【図3】図2に示す走査線駆動回路の動作を示すタイムチャートである。

【図4】図2に示すアナログスイッチを介して設定される信号線およびダミー信号線の電位を説明するためのタイムチャートである。

【図5】図2に示す複数の表示画素について画素電極および信号線間の寄生容量を示す図である。

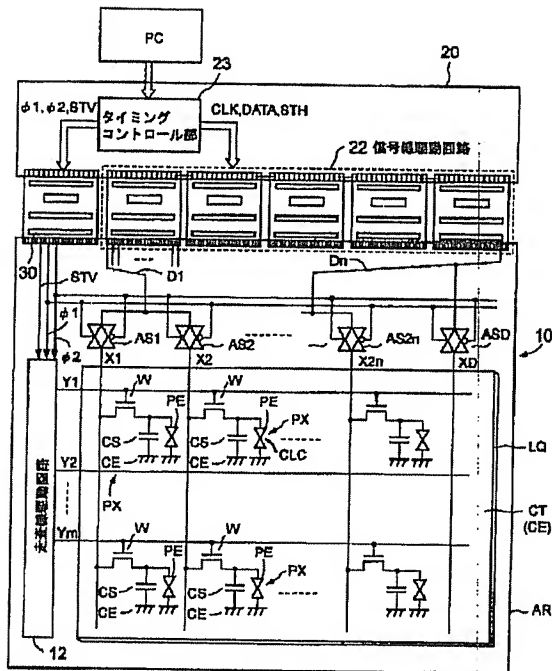
【図6】図2に示す端部表示画素について画素電極および信号線間の寄生容量を示す図である。

【図7】図1に示す平面表示装置の変形例を説明するための図である。

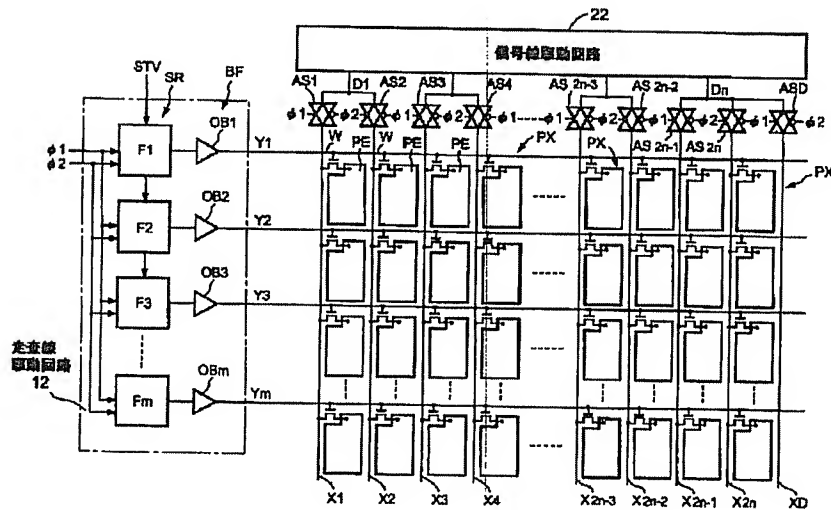
【符号の説明】

- 10…液晶パネル
- 20…制御回路基板
- 30…TAB-IC
- 12…走査線駆動回路
- 22…信号線駆動回路
- 23…タイミングコントロール部
- AR…アレイ基板
- LQ…液晶層
- CT…対向基板
- CE…共通電極
- PE…画素電極
- PX…表示画素
- X1~X2n…信号線
- Y1~Ym…走査線

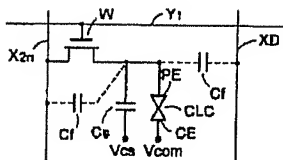
【図1】



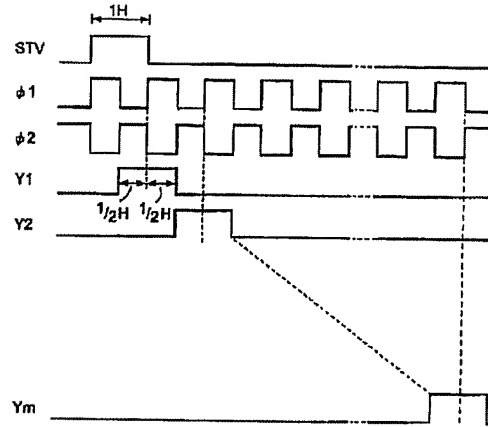
【図2】



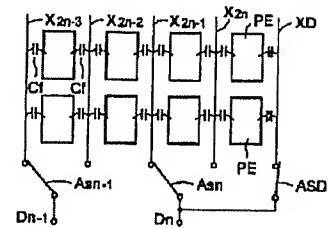
【図6】



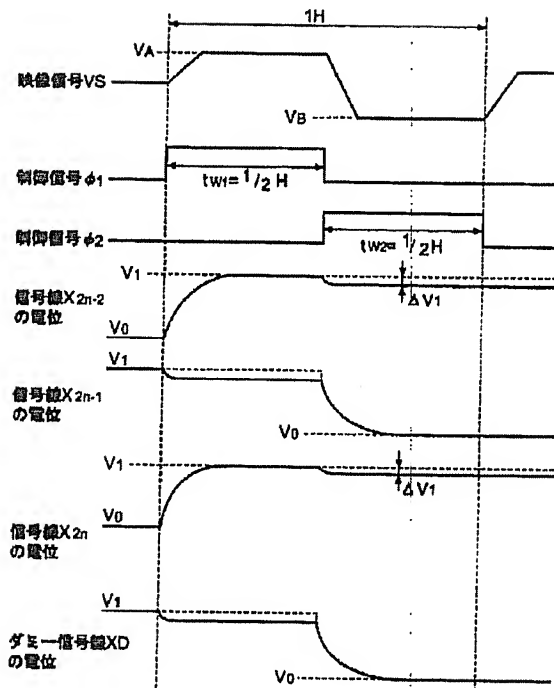
【図3】



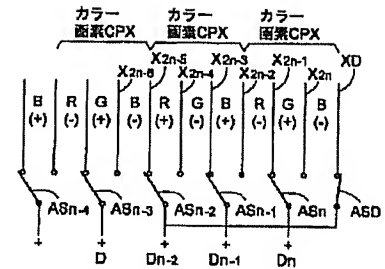
【図5】



【図 4】



【図 7】



フロントページの続き

F ターム (参考) 2H093 NA16 NA33 NC16 NC22 NC50
 ND09 ND34
 5C006 AA21 AC21 AF59 BB16 BC11
 BF24 FA22 FA31
 5C080 AA10 BB05 CC03 DD05 DD10
 DD12 FF11 JJ02 JJ03 JJ04
 JJ06
 5C094 AA03 BA03 BA43 CA19 CA24
 EA01 EA04 EA07 EB02 FB12